

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

L6 ANSWER 1 OF 1 JAPIO (C) 2003 JPO on STN

AN 1995-106446 JAPIO

TI SEMICONDUCTOR NONVOLATILE MEMORY AND FABRICATION THEREOF

IN ONO TAKASHI

PA OKI ELECTRIC IND CO LTD

PI JP 07106446 A 19950421 Heisei

AI JP 1993-249244 (JP05249244 Heisei) 19931005

PRAI JP 1993-249244 19931005

SO PATENT ABSTRACTS OF JAPAN (CD-ROM), Unexamined Applications, Vol. 1995

AN 1995-106446 JAPIO

AB PURPOSE: To provide a semiconductor nonvolatile memory, and fabrication method thereof, suitable for high integration in which the gate length can be shortened.

CONSTITUTION: In the semiconductor nonvolatile memory having a laminate structure of floating gate and control gate with a select gate being located contiguously thereto, the select gate 23 is formed on a semiconductor substrate 21 through a gate oxide 22. A tunnel oxide 24 thinner than the gate oxide 22, an L-shaped floating gate 25a contiguous to the tunnel oxide 24, and an L-shaped insulation film 26a contiguous to the floating gate 25a are also deposited at least on one side of the select gate 23. A side wall type laminate comprising a substantially square control gate 25a is also provided contiguously to the insulation film 26a thus shortening the first gate length L<SB>11</SB> being defined by the floating gate 25a and the control gate 27.

COPYRIGHT: (C) 1995, JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-106446

(43)公開日 平成7年(1995)4月21日

(51) IntCl.
H 01 L 21/8247
29/788
29/792

識別記号 庁内整理番号

F 1

技術表示箇所

H 01 L 29/78 371
G 11 C 17/00 307 D

審査請求 未請求 請求項の数2 OL (全5頁) 基本頁に続く

(21)出願番号 特願平5-249244

(22)出願日 平成5年(1993)10月5日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 小野 隆

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

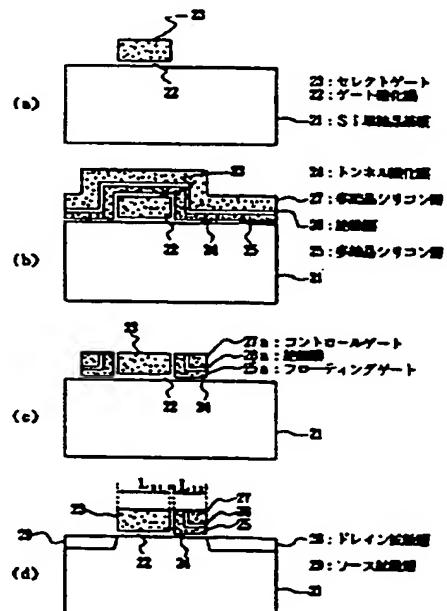
(74)代理人 弁理士 清水 守 (外1名)

(54)【発明の名称】 半導体不揮発性記憶装置及びその製造方法

(57)【要約】

【目的】 ゲート長を小さくできる高集積に適した半導体不揮発性記憶装置及びその製造方法を提供する。

【構成】 フローティングゲートとコントロールゲートの積層構造を有し、かつ、この積層構造に接してセレクトゲートを有する半導体不揮発性記憶装置において、半導体基板21上にゲート酸化膜22を介して形成されるセレクトゲート23と、このセレクトゲート23の少なくとも一方側にゲート酸化膜22より薄く形成されるトンネル酸化膜24と、このトンネル酸化膜24に接するL字状のフローティングゲート25aと、このフローティングゲート25aに接するL字状の絶縁膜26aと、この絶縁膜26aに接する略四角形状のコントロールゲート25aからなるサイドウォール状の積層膜を設け、フローティングゲート25a及びコントロールゲート27によって規定される第1のゲート長L₁₁を縮小する。



1

【特許請求の範囲】

【請求項1】 フローティングゲートとコントロールゲートの積層構造を有し、かつ、該積層構造に接してセレクトゲートを有する半導体不揮発性記憶装置において、

(a) 半導体基板上にゲート酸化膜を介して形成されるセレクトゲートと、

(b) 該セレクトゲートの少なくとも一方側に前記ゲート酸化膜より薄く形成されるトンネル酸化膜と、該トンネル酸化膜に接するL字状のフローティングゲートと、該フローティングゲートに接するL字状の絶縁膜と、該絶縁膜に接する略四角形状のコントロールゲートからなるサイドウォール状の積層膜を設け、

(c) 前記フローティングゲート及び前記コントロールゲートによって規定される第1のゲート長を縮小することを特徴とする半導体不揮発性記憶装置。

【請求項2】 フローティングゲートとコントロールゲートの積層構造を有し、かつ、該積層構造に接してセレクトゲートを有する半導体不揮発性記憶装置の製造方法において、

(a) 半導体基板上にゲート酸化膜を介してセレクトゲートを形成する工程と、

(b) 前記セレクトゲート形成後、前記ゲート酸化膜より薄いトンネル酸化膜を形成する工程と、

(c) 該トンネル酸化膜上にフローティングゲートとなる不純物をドープした多結晶シリコン層、絶縁膜、コントロールゲートとなる不純物をドープした多結晶シリコン層を順次形成する工程と、

(d) 異方性エッチングにより前記セレクトゲートの少なくとも一方側にフローティングゲート、絶縁膜、コントロールゲートよりなる積層膜がサイドウォール状に残るようにエッチングする工程とを施すことを特徴とする半導体不揮発性記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電気的に書き換えることができる半導体不揮発性記憶装置（メモリ）及びその製造方法に関するものである。

【0002】

【従来の技術】 従来、このような分野の技術としては、例えば、「A NEW FLASH-ERASE E EPROM CELL WITH A SIDEWALL SELECT-GATE ON ITS SOURCE SIDE」、K. Naruke et al., IEDM 89 pp 603]に開示されるような、サイドウォール型セレクトゲートを有する半導体不揮発性メモリは、メモリセル面積の増加を抑えながら、セレクトゲートを付加することにより、高集積と高性能を同時に達成しようとするものである。

【0003】 図3はかかる従来の半導体不揮発性メモリセルの断面図である。図3に示すように、S1単結晶基

2

板11上に極薄のトンネル酸化膜12を介してフローティングゲート13、更に、絶縁膜14を介してコントロールゲート15を積層状に形成し、前記積層したフローティングゲート13、及びコントロールゲート15の一方側にサイドウォール型のセレクトゲート17を配し、更に、ドレイン拡散層18、ソース拡散層19をS1単結晶基板11の表面に配するという構造になっている。

【0004】 ここで、前記セレクトゲート17は、積層したフローティングゲート13及びコントロールゲート15を形成し、ゲート酸化膜16を形成した後、例えば、不純物をドーピングした多結晶シリコン膜を5000Å積層し、異方性エッチングを施すことにより、積層したフローティングゲート13、及びコントロールゲート15の側壁に、サイドウォール状に前記多結晶シリコン膜を残すことができ、前記サイドウォール型のセレクトゲート17とすることが可能である。なお、多結晶シリコン膜の膜厚が5000Åの場合、前記セレクトゲート17のゲート長L₁は0.4μm程度となる。

【0005】

【発明が解決しようとする課題】 しかしながら、上記した従来の半導体メモリセルにおいては、前記フローティングゲート13あるいは前記コントロールゲート15のゲート長L₁は、製造ラインのリソグラフィの限界以下にはできないので、例えば、0.6μmルールでは0.6μmが最小寸法となる。

【0006】 他方、前記セレクトゲート17のゲート長L₁は、このセレクトゲート17のトランジスタ（Tr）パンチスルーエンジニアリングまで縮小することができるため、例えば、0.4μmとリソグラフィ限界以下とすることができるが、前記ゲート長L₁と前記ゲート長L₂を合計すると1.0μmと大きな値となってしまうという問題点があった。

【0007】 なお、前記セレクトゲート17のゲート長L₁は、前記ゲート酸化膜16の膜厚や前記ソース拡散層19の横方向拡散、さらには動作電圧等によって決まる値であり、上記の0.4μmという値は、前記ゲート酸化膜16の膜厚が250Å、前記ソース拡散層19の深さが約0.2μmの場合の値である。本発明は、以上述べた前記ゲート長L₁とL₂の和が大きいという問題点を除去するため、ゲート長（L₁とL₂の和）を小さくできる高集積に適した半導体不揮発性記憶装置及びその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】 本発明は、上記目的を達成するために、フローティングゲートとコントロールゲートの積層構造を有し、かつ、該積層構造に接してセレクトゲートを有する半導体不揮発性記憶装置において、半導体基板上にゲート酸化膜を介して形成されるセレクトゲートと、このセレクトゲートの少なくとも一方側に前記ゲート酸化膜より薄く形成されるトンネル酸化膜

50

と、このトンネル酸化膜に接するL字状のフローティングゲートと、このフローティングゲートに接するL字状の絶縁膜と、該絶縁膜に接する略四角形状のコントロールゲートからなるサイドウォール状の積層膜を設け、前記フローティングゲート及び前記コントロールゲートによって規定される第1のゲート長を縮小するようにしたものである。

【0009】また、フローティングゲートとコントロールゲートの積層構造を有し、かつ、該積層構造に接してセレクトゲートを有する半導体不揮発性記憶装置の製造方法において、半導体基板上にゲート酸化膜を介してセレクトゲートを形成する工程と、該セレクトゲート形成後、前記ゲート酸化膜より薄いトンネル酸化膜を形成する工程と、該トンネル酸化膜上にフローティングゲートとなる不純物をドープした多結晶シリコン層、絶縁膜、コントロールゲートとなる不純物をドープした多結晶シリコン層を順次形成する工程と、異方性エッチングにより前記セレクトゲートの少なくとも一方側にフローティングゲート、絶縁膜、コントロールゲートよりなる積層膜がサイドウォール状に残るようにエッチングする工程とを施すものである。

【0010】

【作用】本発明によれば、上記したように構成したので、前記セレクトゲートの一方側に前記フローティングゲート及び前記コントロールゲートを、リソグラフィ限界以下の前記ゲート長 L_{11} とする。すなわち、ゲート長 L_{11} を従来によるリソグラフィ限界、例えば0.6μmに比べて、0.3μm近傍まで縮小することができる。

【0011】したがって、半導体不揮発性記憶装置の高集積化を図ることができる。

【0012】

【実施例】以下、本発明の実施例について図面を参照しながら詳細に説明する。図1は本発明の実施例を示す半導体不揮発性記憶装置の製造工程断面図である。

(1) 首先、図1(a)に示すように、S1単結晶基板21に、能動領域を確定するようLOCOOS法等により、フィールド酸化膜を選択的に形成する(図示なし)。その後、ゲート酸化膜22を250Å、S1単結晶基板21上に形成し、次いで、不純物をドープした単結晶シリコン層を例えば5000Å堆積し、リソグラフィ及びエッチングによりセレクトゲート23を形成する。

【0013】(2) 次いで、図1(b)に示すように、トンネル酸化膜24、フローティングゲートとなる不純物をドープした多結晶シリコン層25、絶縁膜26、コントロールゲートとなる不純物をドープした多結晶シリコン層27を順次形成する。

(3) 続いて、図1(c)に示すように、異方性エッチングにより、前記セレクトゲート23の側方にフローティングゲート25a、前記絶縁膜26a、コントロール

ゲート27aよりなる積層膜がサイドウォール状に残るようにエッチング処理する。

【0014】この時、前記サイドウォール積層膜の幅、すなわち、ゲート長 L_{11} は、フローティングゲート25aとなる多結晶シリコン層25、前記絶縁膜26、前記コントロールゲート27aとなる多結晶シリコン層27の、それぞれの膜厚によって制御することができる。例えば、フローティングゲート25aとなる多結晶シリコン層25の膜厚を1000Å、前記絶縁膜26を200Å、前記コントロールゲート27aとなる多結晶シリコン層27の膜厚を3000Åとすることで、前記ゲート長 L_{11} が、約0.3μmとなる前記サイドウォール積層膜を形成することができる。

【0015】しかる後、図1(d)に示すように、前記セレクトゲート23の一方側の前記サイドウォール積層膜をレジストで被覆し、他方側の前記サイドウォール積層膜を除去し、ドレイン拡散層28、ソース拡散層29を形成する。なお、前記サイドウォール積層膜を形成する異方性エッチングとして、前記多結晶シリコン膜のエッチングには、C1系ガスあるいはB2系ガスを用い、前記絶縁膜が強化膜を含む膜である場合、F系ガスを用いたプラズマエッチングが好適である。

【0016】また、上記実施例では、前記セレクトゲート23の一方側のサイドウォール積層膜を除去したが、これを除去せずに残し、さらなるゲート電極として使用しても差し支えない。この時、前記ソース拡散層29の形成を、前記フローティングゲート25aとなる多結晶シリコン層25の堆積の前に、前記セレクトゲート23と前記ソース拡散層29をオーバーラップするよう、つまり、実効ゲート長(前記ドレイン拡散層28と前記ソース拡散層29の間隔)を、前記一方側の前記サイドウォール積層膜を除去する場合と同等にすることが可能である。

【0017】このように、セレクトゲートを形成した後に、フローティングゲート、絶縁膜、コントロールゲートよりなる積層膜を、セレクトゲートの一方側にサイドウォール状に異方性エッチングにより形成するようにしたので、前記サイドウォール積層膜のゲート長 L_{11} を、従来によるリソグラフィ限界、例えば0.6μmに比べて0.3μmとすることができる。

【0018】ここで、セレクトゲート長 L_{11} は、リソグラフィによるゲートの場合は(更に微細パターンを形成する手段を用いた場合はこの限りにあらず)、リソグラフィ限界のため、従来法の0.4μmから0.6μmへと大きくなるが、セレクトゲート長 L_{11} と L_{11} の和は、1.0μmから0.9μmと従来法に比べ小さくすることが可能である。

【0019】その理由は、セレクトゲート23のゲート酸化膜22は、通常、前記フローティングゲート下の前記トンネル酸化膜よりも厚いために、前記フローティン

5

ゲート部分の方が、前記セレクトゲート部分よりもパンチスルーリミットとなるゲート長 L_{G} を短くできることによる(図2参照)。ここで、図2はトランジスタ閾値のゲート長依存特性図であり、縦軸に閾値(V)、横軸にゲート長 (μm) を示し、○印はセレクトゲートトランジスタを、△印はフローティングゲート(電圧の印加なしの場合)及びコントロールゲート積層トランジスタを示している。

【0020】この図から明らかのように、ここでは、フローティングゲート及びコントロールゲート積層トランジスタのゲート長は0..3 μm 近傍まで縮小することができる。また、フローティングゲート部のトランジスタがパンチスルーハードオフしなければならない場合(カットオフしなければならない場合)には、電子が、前記フローティングゲートに蓄積されているというメモリ動作を行うことになる。この場合、前記蓄積された電子が、パンチスルーハードオフを抑止する方向に働くので、本発明による前記サイドウォール積層膜のゲート長 L_{G} を、前記0..3 μm から、例えば0..25 μm と更に縮くすることも可能となる。

【0021】なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0022】

【発明の効果】以上、詳細に説明したように、本発明によれば、セレクトゲートを形成した後に、フローティン

6

ゲート、絶縁膜、コントロールゲートよりなる積層膜を前記セレクトゲートの一方側にサイドウォール状に異方性エッチングにより形成するようにしたので、このサイドウォール積層膜のゲート長 L_{G} を、従来によるリソグラフィ限界、例えば0..6 μm に比べて、0..3 μm 近傍まで縮小することができる。

【0023】したがって、半導体不揮発性記憶装置の高集成化を図ることができる。

【図面の簡単な説明】

【図1】本発明の実施例を示す半導体不揮発性記憶装置の製造工程断面図である。

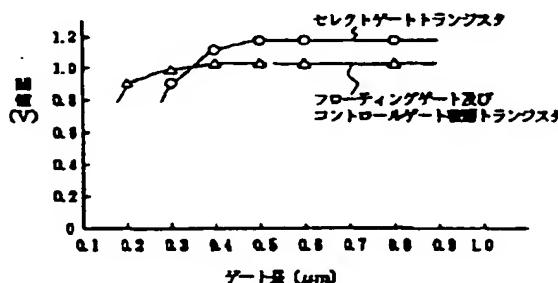
【図2】トランジスタ閾値のゲート長依存特性を示す図である。

【図3】従来の半導体不揮発性メモリセルの断面図である。

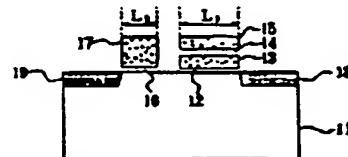
【符号の説明】

- 21 S1 単結晶基板
- 22 ゲート酸化膜
- 23 セレクトゲート
- 24 トンネル酸化膜
- 25, 27 不純物をドープした多結晶シリコン層
- 25a フローティングゲート
- 26, 26a 絶縁膜
- 27a コントロールゲート
- 28 ドレイン拡散層
- 29 ソース拡散層

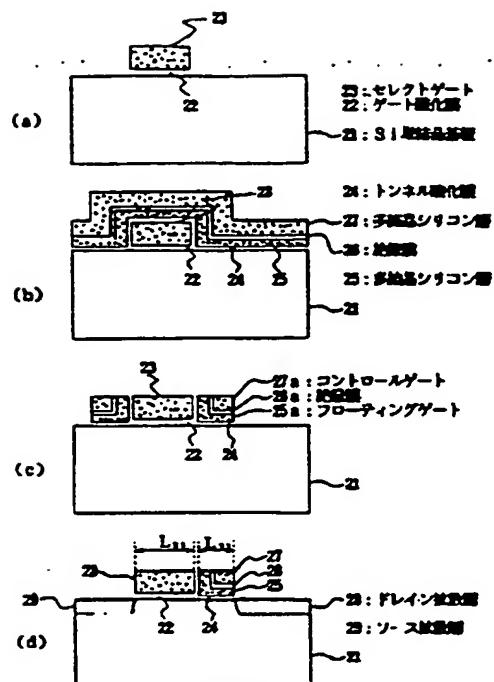
【図2】



【図3】



【図1】



フロントページの続き

(51) Int.Cl.
G 11 C 16/02
16/04

識別記号 庁内整理番号 F I

技術表示箇所